

(1)

* NOTICES *

JP, 07-033026, U

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Utility model registration claim]

[Claim 1] The phase shifter characterized by the circuitry which switches to the circuit where the circuit itself [concerned] constitutes LPF and HPF from acquiring a desired capacitance value by choosing the gate length and the gate number of FET used as a switching element in a circuit, having a means to use this capacitance value for a part of filter constant, and switching the gate voltage of 2 sets of FET in 1 circuit by turns by turns.

[Claim 2] Between input port 1 and an output port 2, capacitor 10a for filter constants, the inductors 11a and 11b for filter constants, and capacitor 10b for filter constants are connected to a serial one by one. The above-mentioned capacitor 10a is bypassed through FET12a, and the above-mentioned inductors 11a and 11b are bypassed through FET12b. The above-mentioned capacitor 10b is bypassed through FET12c. Between touch-down between the above-mentioned inductor 11a and inductor 11b The source (or drain) of FET12d is connected and the circuit where FET12e and inductor 11c for filter constants were connected to juxtaposition is inserted in the drain (or source) which is this FET12d. The gate of the above-mentioned FET12a, FET12c, and FET12e is connected to the 1st gate bias port 13. The gate of the above-mentioned FET12b and the above-mentioned FET12d consists of the circuitry connected to the 2nd gate bias port 14. A means to constitute LPF from setting the gate bias port 13 of the above 1st to abbreviation 0V, and giving the negative electrical potential difference of the value beyond the pinch-off-voltage value of each above-mentioned FET to the gate bias port 14 of the above 2nd, The phase shifter given in the 1st term of a claim which sets the gate bias port 14 of the above 2nd to abbreviation 0V, and is characterized by having a means to constitute HPF from giving the negative electrical potential difference of the value beyond the pinch-off-voltage value of each above-mentioned FET to the gate bias port 13 of the above 1st.

[Claim 3] The 1st term of a claim characterized by having a means to perform a phase shift **** bit digital [for two or more circuits] for the circuit which constitutes the above-mentioned phase shifter which chooses suitably the gate width of each above-mentioned FET, the gate number, and the inductor and capacitor of a concentrated constant, and acquires the phase shift value of each bit request, or a phase shifter given in the 2nd term.

[Translation done.]

13,14: ゲートバイアスポート

1

【実用新案登録請求の範囲】

【請求項 1】 回路中のスイッチング素子として用いられる FET のゲート長およびゲート数を選択することで所望のキャパシタンス値を得、このキャパシタンス値をフィルタ定数の一部に利用する手段を備え、

1 回路中の 2 組の FET のゲート電圧を交互に切り換えることで、当該回路自体が LPF および HPF を構成する回路に交互に切り換わる回路構成を特徴とする移相器。

【請求項 2】 入力ポート 1 と出力ポート 2 との間に、フィルタ定数用キャパシタ 10 a とフィルタ定数用インダクタ 11 a および 11 b とフィルタ定数用キャパシタ 10 b とが順次直列に接続され、

上記キャパシタ 10 a が FET 12 a を介してバイパスされ、

上記インダクタ 11 a および 11 b が FET 12 b を介してバイパスされ、

上記キャパシタ 10 b が FET 12 c を介してバイパスされ、

上記インダクタ 11 a とインダクタ 11 b との間と接地との間に、FET 12 d のソース（またはドレイン）が接続され、この FET 12 d のドレイン（またはソース）に FET 12 e とフィルタ定数用インダクタ 11 c とが並列に接続された回路が挿入され、

上記 FET 12 a、FET 12 c、FET 12 e のゲートが第 1 のゲートバイアスポート 13 に接続され、

上記 FET 12 b、上記 FET 12 d のゲートが第 2 のゲートバイアスポート 14 に接続された回路構成から成り、

上記第 1 のゲートバイアスポート 13 を略 0 V とし、上記第 2 のゲートバイアスポート 14 に上記各 FET のピ

2

ンチオフ電圧値以上の値の負の電圧を与えることで LPF を構成する手段、

上記第 2 のゲートバイアスポート 14 を略 0 V とし、上記第 1 のゲートバイアスポート 13 に上記各 FET のピンチオフ電圧値以上の値の負の電圧を与えることで HPF を構成する手段、

を備えたことを特徴とする請求項第 1 項記載の移相器。

【請求項 3】 上記各 FET のゲート幅とゲート数と、集中定数のインダクタとキャパシタとを適当に選択して各ビット所望の移相値を得る上記移相器を構成する回路を複数回路用い多ビットデジタルの移相を行う手段、を備えたことを特徴とする請求項第 1 項または第 2 項記載の移相器。

【図面の簡単な説明】

【図 1】 本考案の一実施例を示す回路図である。

【図 2】 FET の特性を説明するための図である。

【図 3】 本考案の動作を説明するための図である。

【図 4】 本考案の動作を説明するための図である。

【図 5】 本考案の動作を説明するための図である。

【図 6】 本考案の動作を説明するための図である。

【図 7】 従来のこの種の移相器の構成を示すブロック図である。

【図 8】 図 7 に示す SPDT 型スイッチの回路構成を示すブロック図である。

【符号の説明】

1 入力ポート

2 は出力ポート

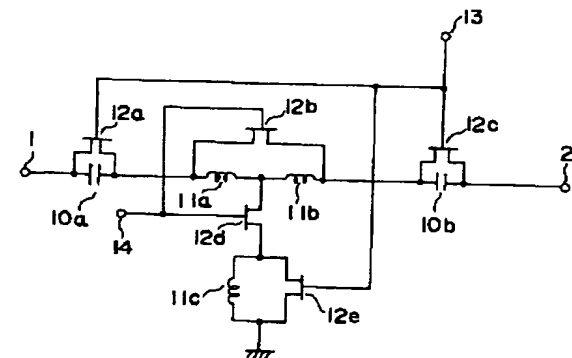
10 a、10 b フィルタ定数用キャパシタ

11 a～11 c フィルタ定数用インダクタ

12 a～12 e FET

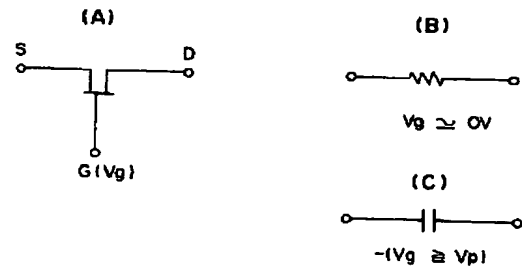
13、14 ゲートバイアスポート

【図 1】

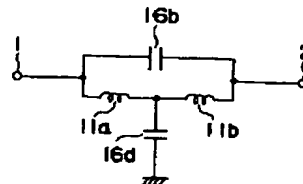


1 : 入力ポート
2 : 出力ポート
10a, 10b : フィルタ定数用キャパシタ
11a～11c : フィルタ定数用インダクタ
12a～12e : FET
13, 14 : ゲートバイアスポート

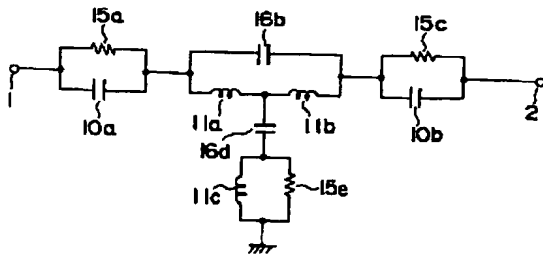
【図 2】



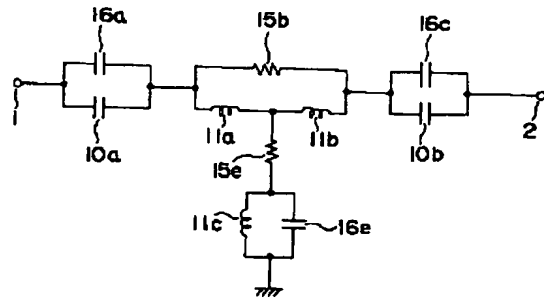
【図 5】



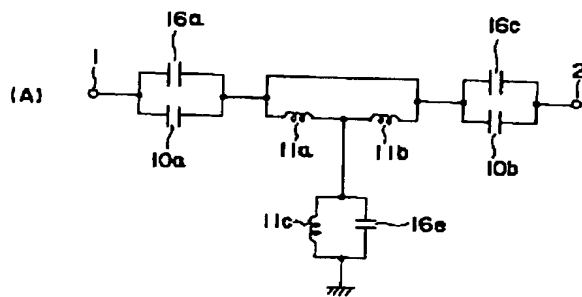
【図3】



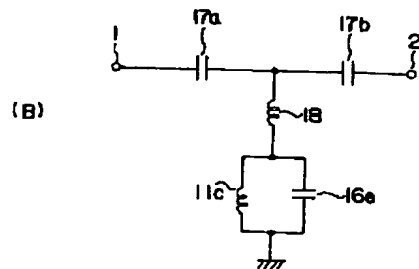
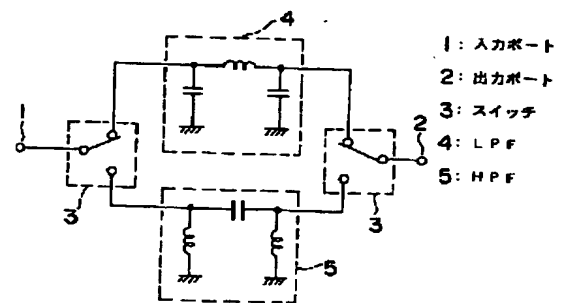
【図4】



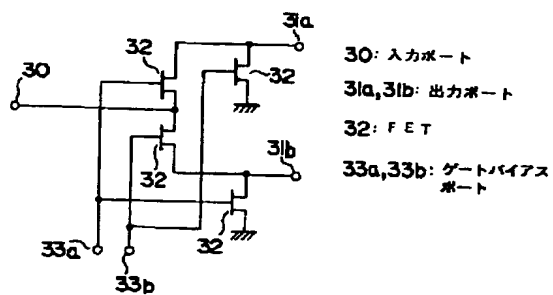
【図6】



【図7】



【図8】



【考案の詳細な説明】

【0001】

【産業上の利用分野】

本考案は移相器、さらに詳しくはマイクロ波帯やミリ波帯を使用するマイクロ波モノリジック集積回路（以下、MMICと略記する）等で構成される移相器の回路構成に関する。

【0002】

【従来の技術】

図7は従来のこの種の移相器の構成を示すブロック図であり、図において、1は入力ポート、2は出力ポート、3はスイッチ、4はLPF、5はHPFである。

スイッチ3は、1入力2出力のいわゆるSPDT型(single-pole-double-through)スイッチで構成され、また、それぞれのフィルタLPF4、HPF5のフィルタ定数が整合されており、スイッチ5が切り替えられることで所望の位相差が得られるように構成されている。

【0003】

図8はSPDT型スイッチ3の回路構成を示す図であり、図において、30は入力ポート、31a、31bは出力ポート、32はそれぞれFET、33a、33bはゲートバイアSPORTである。

SPDT型スイッチ3は以上のように構成され、ゲートバイアス電圧を交互に切り替えることで、出力ポート31a、31bを切り替えている。

【0004】

【考案が解決しようとする課題】

以上のように構成されたSPDT型スイッチを使用する従来の移相器では、1入力2出力を切り換えるというSPDT型スイッチの性質上、スイッチ切換時のアイソレーションが完全でなく、そのためLPF、HPFのフィルタ定数を完全に設計できても高性能な回路とできない。

また、SPDT型スイッチはFETを使用するアクティブ素子で構成され、LPF、HPFはパッシブ回路で構成されるため、MMIC等で構成する場合にチ

ップ面積が大きくなってしまう等の問題点があった。

【0005】

本考案はかかる問題点を解決するためになされたものであり、小型で高性能な移相器を提供することを目的としている。

【0006】

【課題を解決するための手段】

本考案に係わる移相器は、回路中のスイッチング素子として用いられるFETのゲート長およびゲート数を選択することで所望のキャパシタンス値を得、このキャパシタンス値をフィルタ定数の一部に利用する手段を備え、

1回路中の2組のFETのゲート電圧を交互に切り換えることで、当該回路自体がLPFおよびHPFを構成する回路に交互に切り換わる回路構成としたことを特徴とする。

【0007】

【実施例】

以下、本考案の実施例を図面を用いて説明する。図1は本考案の一実施例である移相器の回路構成を示す図であり、図において、1は入力ポート、2は出力ポート、10a、10bはフィルタ定数用キャパシタ、11a～11cはフィルタ定数用インダクタ、12a～12eはFET、13、14はゲートバイアスポートである。

【0008】

次に動作について説明する。本考案ではFETの特性を利用する。すなわち、図2(A)に示すようにFETのゲート(G)を0Vとすると、ソース(S)ー dren(D)間に抵抗が形成され、図2(B)に示すような等価回路となることは良く知られている。

また、ゲート(G)にピンチオフ電圧(V_p)以上の値の、マイナスの電圧を加えると、ソース(S)ー dren(D)間にキャパシタが形成され、図2(C)に示すような等価回路となる。

すなわち、本考案ではFETのゲート長およびゲート数を選択することで、ソース(S)ー dren(D)間のチャネル容量を選択し、所定のキャパシタンス

値のキャパシタを形成し、このキャパシタをフィルタ定数の一部として用いることとする。

【0009】

以上の原理に従って、図1に示す回路のゲートバイアスポート13を0Vとし、ゲートバイアスポート14にピンチオフ電圧(V_p)以上の値のマイナスの電圧を加えると、図3に示すような等価回路が構成される。

ここで、15a, 15c, 15eはFET12a, 12c, 12eで形成された抵抗であり、16b, 16dはFET12b, 12eで形成されたキャパシタである。

【0010】

また、逆にゲートバイアスポート13にピンチオフ電圧(V_p)以上の値のマイナスの電圧を加え、ゲートバイアスポート14を0Vとすると、図4に示すような等価回路が構成される。

ここで、15b, 15eはFET12b, 12eで形成された抵抗であり、16a, 16c, 16eはFET12a, 12c, 12eで形成されたキャパシタである。

【0011】

ここで、FETで形成される抵抗は、その抵抗値が十分小さく、また十分小さいものにできるので、これを無視することとすれば、図3に示す回路は図5に示すような等価回路に置き換えることができ、図4に示す回路は図6(A)に示すような等価回路に置き換えることができる。

また、図6(A)に示す回路は、キャパシタ10a, 16aの並列接続をキャパシタ17a、キャパシタ10b, 16cの並列接続をキャパシタ17b、インダクタ11a, 11bの並列接続をインダクタ18とに置き換えると、図6(B)に示すような等価回路となる。

【0012】

そして、図5はLFPを構成する回路となり、図6(B)はHPFを構成する回路となるので、図1に示す回路は、ゲートバイアスポート13, 14に入力する電圧を上述のように選択することで移相器を構成する。

そして、各FET12a~12eのゲート幅およびゲート数と、集中定数のインダクタ11a~11cとキャパシタ10a, 10bの値を適当に選択すれば、所望のフィルタ定数が選択でき、以上のようにして例えばMMicを用いて小型で性能の高い移相器が得られることになる。

【0013】

なお、多ビットのデジタル移相器を構成したい場合には、上述のようにして図1に示す回路のLPF, HPFの定数を各ビットで所望の移相値が得られるように設定し、これを直列に接続すれば良い。

【0014】

【考案の効果】

以上説明したように本考案の移相器は、移相性能が制限されるSPDT型スイッチを持たない回路構成としたため性能の劣化を防ぎ高性能な移相器とできる。

また、アクティブ素子であるFETを、フィルタ定数のパッシブ素子の一部として使用できるため、従来のSPDT型スイッチを実装するためのチップ面積を省略でき、小型な移相器が得られる等の効果がある。